

IFW

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant: Michael Bauer et al. Examiner: Unknown  
Serial No.: 10/598,143 Group Art Unit: Unknown  
Filed: February 9, 2005 Docket No.: I431.170.101/FIN561PCTUS  
Title: SEMICONDUCTOR COMPONENT HAVING A STACK OF  
SEMICONDUCTOR CHIPS AND METHOD FOR PRODUCING THE SAME

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

We are transmitting herewith the attached:

- ☒ Transmittal Sheet containing Certificate of Mailing (1 pg.).
- ☒ Submission of Priority Document (1 pg.).
- ☒ Certified Copy of Priority Document DE 10 2004 008 135.2.
- ☒ Return Postcard.

Please consider this a PETITION FOR EXTENSION OF TIME for a sufficient number of months to enter these papers, if appropriate. At any time during the pendency of the application, please charge any additional fees or credit overpayment to Deposit Account No. 500471.

**Customer No. 025281**

By: Steven E. Dicke  
Name: Steven E. Dicke  
Reg. No.: 38,431

CERTIFICATE UNDER 37 C.F.R. 1.8: The undersigned hereby certifies that this paper or papers, as described herein, are being deposited in the United States Postal Service, as first class mail, in an envelope address to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on this 7 day of September, 2007.  
By: Steven E. Dicke  
Name: Steven E. Dicke



**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant: Michael Bauer et al. Examiner: Unknown  
Serial No.: 10/598,143 Group Art Unit: Unknown  
Filed: February 9, 2005 Docket No.: I431.170.101/FIN561PCTUS  
Title: SEMICONDUCTOR COMPONENT HAVING A STACK OF  
SEMICONDUCTOR CHIPS AND METHOD FOR PRODUCING THE SAME

**SUBMISSION OF PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant claims priority under 35 U.S.C. § 119 to German Patent Application Serial No. DE 10 2004 008 135.2, filed February 18, 2004. A certified copy of the priority document is enclosed.

Applicant requests that the file of this application be marked to indicate that the requirements of 35 U.S.C. § 119 have been fulfilled and that the U.S. Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

Michael Bauer et al.,

By their attorneys,

DICKE, BILLIG & CZAJA, PLLC  
Fifth Street Towers, Suite 2250  
100 South Fifth Street  
Minneapolis, MN 55402  
Telephone: (612) 573-2002  
Facsimile: (612) 573-2005

Date: September 4, 2007  
/mlm

Steven E. Dicke  
Steven E. Dicke  
Reg. No. 38,431

**CERTIFICATE UNDER 37 C.F.R. 1.8:** The undersigned hereby certifies that this paper or papers, as described herein, are being deposited in the United States Postal Service, as first class mail, in an envelope address to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on this 4 day of September, 2007.

By Steven E. Dicke  
Name: Steven E. Dicke

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung DE 10 2004 008 135.2 über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 10 2004 008 135.2

**Anmeldetag:** 18. Februar 2004

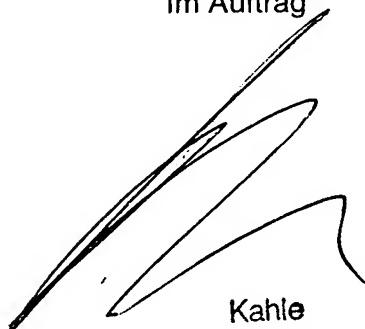
**Anmelder/Inhaber:** Infineon Technologies AG, 81669 München/DE

**Bezeichnung:** Halbleiterbauteil mit einem Stapel aus Halbleiterchips  
und Verfahren zur Herstellung desselben

**IPC:** H 01 L, H 01 B

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 1. September 2006  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag



Kahle

FIN 561 P/200354067

1



## Beschreibung

Halbleiterbauteil mit einem Stapel aus Halbleiterchips und  
Verfahren zur Herstellung desselben

5

Die Erfindung betrifft ein Halbleiterbauteil mit einem Stapel  
aus Halbleiterchips und Verfahren zur Herstellung desselben,  
wobei die Halbleiterchips Kontaktflächen aufweisen, die in  
dem Halbleiterchipstapel über Leitungsabschnitte elektrisch  
verbunden sind.

10

Die zunehmende Verdichtung insbesondere in der Hardware für  
Datenspeicherungen und Datenverarbeitung erfordert möglichst  
kompakte Halbleitermodule bei minimalem Raumbedarf. Eine Mög-  
lichkeit bietet das Stapeln von Halbleiterchips und/oder  
Halbleiterbauteilen zu einem Halbleitermodulstapel. Jedoch  
besteht ein Optimierungsproblem darin, dass die Komponenten  
eines gestapelten Halbleitermoduls raumsparend untereinander  
zu verdrahten sind. Die bisher bekannten Verdrahtungslösungen  
arbeiten mit Flipchip-Kontaktverbindungen und/oder mit Bond-  
verbindungen, welche einen erheblichen Raumbedarf haben. Wei-  
tere Verbindungstechniken sehen zwischen den zu stapelnden  
Komponenten Umverdrahtungsplatten vor, um die Verdrahtung ei-  
nes Chipstapels zu lösen, sodass ebenfalls der Raumbedarf  
hoch ist. Hinzu kommt, dass konventionelle Lösungen Randbe-  
dingung und Größenbedingung an die zu stapelnden Komponenten  
stellen, was eine frei wählbare Verdrahtung und das Stapeln  
von Halbleiterchips beliebiger Flächengrößen zu Halbleiter-  
bauteilen behindert.

25  
30

Aufgabe der Erfindung ist es, ein Halbleiterbauteil mit einem  
Stapel aus Halbleiterchips zu schaffen, wobei die Halbleiter-  
chips eine unterschiedliche Größe aufweisen und dennoch eine

FIN 561 P/200354067

2

zuverlässige, raumsparende elektrische Verbindung zwischen den gestapelten Halbleiterchips gewährleistet wird.

5 Diese Aufgabe wird mit dem Gegenstand der unabhängigen Ansprüche gelöst. Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

10 Erfindungsgemäß wird ein Halbleiterbauteil aus einem Stapel von Halbleiterchips geschaffen, wobei die Halbleiterchips des Halbleiterchipstapels stoffschlüssig aufeinander fixiert angeordnet sind. Dazu weisen die Halbleiterchips Kontaktflächen auf, die sich bis an die Kanten der Halbleiterchips erstrecken. Zusätzlich erstrecken sich Leitungsabschnitte von mindestens einer Oberkante zu einer Unterkante der Randseiten  
15 der Halbleiterchips, welche die Kontaktflächen der Halbleiterchips des Halbleiterchipstapels elektrisch verbinden.

Durch die stoffschlüssige Verbindung zwischen den Halbleiterchips und des Stapels wird der Raumbedarf minimiert auf die  
20 Dicke der Halbleiterchips, zumal derartige, stoffschlüssige, flächige Verbindungen zwischen den Halbleiterchips nur wenige Mikrometer in Anspruch nehmen. Die Dicke des Halbleiterchipstapels kann weiterhin durch Dünnen der gestapelten Halbleiterchips weiter vermindert werden. Durch das Heranführen der  
25 Kontaktflächen auf der aktiven Oberseite der Halbleiterchips bis an die Kanten des jeweiligen Halbleiterchips wird gewährleistet, dass die auf den Randseiten angeordneten Leitungsabschnitte einen sicheren elektrischen Kontakt zwischen den Kontaktflächen eines oberen Halbleiterchips und den Kontakt-  
30 flächen eines darunter angeordneten Halbleiterchips herstellen können. Dazu müssen die beiden zu verbindenden Kontaktflächen nicht unmittelbar übereinander angeordnet sein, da die Leitungsabschnitte auf den Randseiten der Halbleiterchips

FIN 561 P/200354067

3

auch Strukturen ermöglichen, bei denen die Kontaktflächen eines oberen und eines unteren Halbleiters gegeneinander versetzt angeordnet sind.

- 5 Die auf den Randseiten der Halbleiterchips sich erstreckende Leitungsabschnitte limitieren nicht die freie Wählbarkeit der Chipgrößen, die miteinander zu verbinden sind. So können in einer bevorzugten Ausführungsform der Erfindung die Halbleiterchips unterschiedliche Chipgrößen aufweisen. In dem Fall
- 10 können die Leitungsabschnitte die zwei Kontaktflächen von zwei Chips unterschiedlicher Flächengrößen miteinander verbinden auf Randbereichen der aktiven Oberseite der Halbleiterchips oder auf Randbereichen der Rückseiten der Halbleiterchips derart geführt sein, dass nahezu beliebige Größenunterschiede zwischen den Halbleiterchips vorherrschen können
- 15 und durch die Leitungsführung überwunden werden. Ein weiterer Vorteil dieser Erfindung ist es, dass auch alternierend, großflächige und kleinflächige Halbleiterchips übereinander gestapelt sein können, da die Leitungsabschnitte entlang der
- 20 Randseiten, der Oberseiten und der Rückseiten der Halbleiterchips beliebig geführt werden können.

- Durch die Verlegung der Kontaktflächen an die Kanten der Halbleiterchips ist eine derartige Verdrahtung auf den Rand-
- 25 seiten der Halbleiterchips und damit auf den Randseiten des Halbleiterbauteils in Kombination mit Verdrahtungen auf nicht bedeckten aktiven Oberseiten und Rückseiten der Halbleiterchips möglich. Die Flexibilität dieser Leitungsführung, die sich auf die Randseiten eines Halbleiterchipstapels be-
- 30 schränkt, hat den Vorteil gegenüber herkömmlichen Lösungen, dass die Halbleiterchips vollflächig, ohne Rücksicht auf irgendwelche Flipchip-Kontakte oder Kontaktanschlussflächen oder Umverdrahtungsplatten, auf minimalem Raum aufeinander ge-

FIN 561 P/200354067

4

klebt, gelötet oder diffusionsgelötet werden können. Damit werden Stapel aus Halbleiterchips möglich, bei denen das Übersprechen minimiert ist und das Rückkoppeln von Signalen über parasitäre Induktivitäten unterbunden bleibt.

5

Auch ist es möglich, dass die Halbleiterchips eine unterschiedliche Anzahl von Kontaktflächen an ihren Kanten aufweisen. Entsprechend wird dann ein Verdrahtungsplan vorgesehen, der dieser unterschiedlichen Anzahl von Kontaktflächen Rechnung trägt.

10

Im Gegensatz zu Bonddrähten oder Flipchip-Kontakten sind die elektrisch leitenden Leitungsabschnitte auf die Halbleiterchipkanten, den Halbleiterrandseiten, den Halbleiteroberseiten und/oder den Halbleiterrückseiten haftend angeordnet. Somit ist die Raumersparnis optimal, da keinerlei Bondschleifen oder andere Abstände durch beispielsweise Flipchip-Kontakte den Raumbedarf vergrößern. Somit stellt das erfindungsgemäße Halbleiterbauteil mit einem Stapel von Halbleiterchips eine bisher nicht erreichte höchste Verdichtung, insbesondere in der Hardware für Datenspeicherungen und Datenverarbeitung, dar.

15

20

Um eine derartige Leitungsführung zu erreichen, weisen die Leitungsabschnitte einen anhaftenden Kunststofflack auf, der mit metallischen Nanopartikeln gefüllt ist und elektrisch leitet, sobald die Nanopartikel zu Leitungsabschnitten zusammengeschweißt oder -geschmolzen sind. Dazu ist der mit Nanopartikeln gefüllte Kunststofflack in einem Lösungsmittel löslich, und kann an den Stellen, an denen nicht Leitungsabschnitte entstehen, von den Seitenrändern, den Oberseiten, den Randseiten und den Rückseiten der Halbleiterchips abgelöst werden. Zur Verdichtung der Nanopartikel zu Leitungsab-

30

FIN 561 P/200354067

5

10 schnitten können Laserschreibgeräte eingesetzt werden, die mit ihrem Laserstrahl einerseits die Nanopartikel verdichten und zusammenschmelzen und andererseits den Kunststofflack verdampfen.

5

Eine Strukturierung ist auch photolithographisch möglich, wenn der Kunststofflack entsprechende Eigenschaften besitzt, jedoch muss anschließend die Leiterbahn mit den kunststoffeingebetteten Nanopartikeln nochmal extra behandelt werden, um die Nanopartikel miteinander zu verschmelzen. Ferner ist es möglich, anstelle einzelner, einschichtiger Leiterbahnabschnitte auf den Randseiten des Stapels auch mehrlagige Umverdrahtungsschichten vorzusehen, bei denen sich Nanopartikel gefüllte, elektrisch leitende und strukturierte Kunststofflackschichten und dazwischen angeordnete Isolationsschichten auf den Randseiten der Halbleiterchips abwechseln. Somit ist es möglich, komplexe Schaltungsmuster auf den Randseiten des Halbleiterchipstapels unterzubringen, die mit herkömmlicher Bonddrahttechnologie oder mit herkömmlicher Flipchip-Technologie nicht realisierbar sind.

Ein Verfahren zur Herstellung eines Halbleiterbauteils mit einem Stapel aus Halbleiterchips, weist die nachfolgenden Verfahrensschritte auf.

25

Zunächst werden Halbleiterchips hergestellt mit Kontaktflächen, die sich bis an die Kanten des jeweiligen Halbleiterchips erstrecken. Anschließend wird eine stoffschlüssige Fixierung der Halbleiterchips übereinander zu einem Stapel durchgeführt. Danach kann dieser kompakte Stapel aus Halbleiterchips mit einer Schicht aus mit einem mit Nanopartikeln gefüllten Kunststofflack umhüllt werden. Abschließend wird dann diese äußere leitende Hüllenschicht zu Leiterbahnab-

30



FIN 561 P/200354067

6

11  
schnitten zwischen den Kontaktflächen aufeinander gestapelten Halbleiterchips strukturiert.

Dieses Verfahren hat den Vorteil, dass damit die bisher  
5 höchstmögliche Verdichtung, insbesondere in der Hardware für  
Datenspeicher und Datenverarbeitung, möglich wird. Dabei ist  
von besonderem Vorteil, dass die Kontaktflächen nicht mehr im  
Randbereich einer Oberseite eines Halbleiterchips angeordnet  
werden, sondern bis an die Kanten des Halbleiterchips heran-  
10 reichen. Somit können diese Kanten der Kontaktflächen nach  
dem stoffschlüssigen Fixieren der Halbleiterchips übereinan-  
der durch die umhüllende leitende Schicht zunächst über die  
Nanopartikel kurzgeschlossen werden. Diese Leitung kann dann  
strukturiert werden, und dieser Strukturierung stehen alle  
15 Freiheitsgrade einer dreidimensionalen Verdrahtung zur Verfü-  
gung, sodass vorteilhafterweise der Stapel aus Halbleiter-  
chips verschiedene Halbleiterchipgrößen aufweisen kann und  
keine Größenstufung vorgesehen werden muss, wie dass bei her-  
kömmlichen Technologien zum Stapeln von Halbleiterchips Vor-  
20 aussetzung ist, um das oberste Halbleiterchip mit dem unter-  
sten Halbleiterchip eines Stapels zu verdrahten.

Das Aufbringen der Schicht, aus mit Nanopartikeln gefüllten  
Kunststofflack auf den Halbleiterstapel, kann mittels einer  
25 Sprühtechnik erfolgen. Derartige Sprühtechniken sorgen für  
einen relativ gleichmäßigen Auftrag des mit Nanopartikeln ge-  
füllten Kunststofflackes, der dann zu Leitungsabschnitten  
strukturiert wird.

30 Bei einer weiteren bevorzugten Durchführung des Verfahrens  
wird der Halbleiterstapel zum Umhüllen mit einer Schicht aus  
Kunststofflack in ein Bad aus mit Nanopartikeln gefülltem  
Kunststofflack eingetaucht. Der Vorteil einer derartigen

FIN 561 P/200354067

7

12

Tauchtechnik ist es, dass eine Massenproduktion und ein Massenbeschichten des Halbleiterstapels möglich wird, jedoch sind die dabei erreichten Dicken wesentlich höher, als bei der Sprühtechnik.

5

Für das Strukturieren des mit Nanopartikeln gefüllten Kunststofflackes wird ein Laserablationsverfahren eingesetzt, das einerseits den Kunststofflack verdampft und andererseits die Nanopartikel zu Leiterbahnen verschweißt. Dort wo kein Laserabtrag des Kunststofflackes, und damit auch kein Verschweißen der Nanopartikel, stattfindet, kann der mit Nanopartikeln gefüllte Kunststofflack durch entsprechende Lösungsmittel abgelöst oder abgewaschen werden.

15 Prinzipiell ist es auch möglich, dass das Strukturieren der mit Nanopartikeln gefüllten Schicht aus Kunststofflack zu Leiterbahnabschnitten mittels der Photolithographieverfahren durchzuführen. Hier kann aufgrund der stark strukturierten Seitenränder der aufeinander gestapelten Halbleiterchips beispielsweise mit einer Projektionsphotolithographie erfolgreich gearbeitet werden.

Schließlich ist es möglich, die Leiterbahnabschnitte nicht in Form einer Umhüllung und einer anschließenden Strukturierung einer Schicht zu erreichen, sondern sie von vornherein selektiv mittels Präzisionsspritztechniken aufzubringen. Bei diesen Präzisionsspritztechniken wird ein wenige Mikrometer feiner Stahl aus Kunststofflack, der mit Nanopartikeln gefüllt ist, auf die Randseiten des Halbleiterchipstapels gespritzt.

30 Damit werden praktisch die Leiterbahnabschnitte auf den Randseiten des Halbleiterstapels gezeichnet.

FIN 561 P/200354067

8

13

Ist die Verbindungsdichte zwischen den gestapelten Halbleiterchips zu erhöhen, so ist es auch möglich mehrlagige Leiterbahnabschnitte im Wechsel mit Isolationsschichten auf den Halbleiterstapel entweder selektiv oder mithilfe des Laserabtragsverfahrens oder mithilfe der Photolithographie zur Bearbeitung aufzubringen. Mit dieser Verfahrensvariante kann die Anzahl der Leitungsabschnitte, welche die Kontaktflächen der einzelnen Halbleiterchips auf einem Halbleiterchipstapel verbinden, in vorteilhafterweise beliebig erhöht werden.

10

Zusammenfassend ist festzustellen, dass durch die Erfindung eine Herstellung von gestapelten Halbleiterchips mit kleinstmöglicher räumlicher Verdrahtung und mit Geometrie unabhängigen Chipgrößen realisierbar ist. Damit werden teure Umverdrahtungsplatten zwischen den gestapelten Halbleiterchips vermieden. Auch Zwischenkontaktlagen, wie beispielsweise Flipchip-Kontakte oder Bonddrahtverbindungen, werden mit der vorliegenden Erfindung überflüssig. Dazu werden die Kontaktflächen der Halbleiterchips bis nach außen an die Halbleiterchipkanten geführt. Dies kann bereits im Frontend oder mit einer dünnen auf die aktive Oberseite der Halbleiterchips aufzubringenden Umverdrahtungslage erfolgen.

15

20

25

30

Anschließend werden die zu stapelnden Halbleiterchips miteinander stoffschlüssig verbunden. Dies kann durch einen Klebprozess oder einen Lötprozess oder einen Diffusionslötprozess erfolgen. Dieser Chipverbund als Halbleiterchipstapel wird danach in eine mit elektrisch leitfähigen metallischen oder metallisch beschichteten Nanopartikeln gefüllte Lösung getaucht oder alternativ wird diese Lösung auf den Stapel aus Halbleiterchips aufgesprüht. Anschließend können die Partikel mittels Laserbeschuss strukturiert und zu Leiterbahnen zusammen geschmolzen werden. Die überschüssige Partikellösung, die

nicht zu Leiterbahnen zusammengebracht wurde, wird danach durch entweder Abwaschen oder Eintauchen in ein geeignetes Lösungsmittel entfernt.

- 5 Auch sind auf diese Weise mehrlagige Umverdrahtungsstrukturen herstellbar und können durch zusätzlich Prozessschritte durch Einbringen von entsprechenden Isolationsschichten aus einem Dielektrikum aufgebracht werden. Notwendige Durchkontaktierungen zu den aktiven Oberseiten der Halbleiterchips können  
10 ebenfalls mittels Laserabtrag freigelegt werden und anschließend kann erneut über eine Nanopartikelösung eine leitende Verbindung aufgebracht und strukturiert werden. Zum Abschluss kann der Halbleiterchipstapel auch auf einen Basischip oder auf einen entsprechenden Träger aufgebracht werden oder an  
15 seinen Außenseiten mit Außenkontakten versehen werden.

- Wenn zum Schutz des Halbleiterchipstapels und der Kontaktflächen, sowie der Umverdrahtung aus Nanopartikeln eine schützende Kunststoffkappe vorzusehen ist, so können billigere und  
20 höher viskose Pressmassen als bisher bei dem Moldprozess vorgesehen werden, zumal der Halbleiterchipstapel einen stabilen und kompakten Halbleiterkörper bildet. Bei dieser Art der Stapelung entfallen sämtliche Drahtverbindungen. Insbesondere lassen sich sehr dünne Gehäuse zuverlässig realisieren, da  
25 der Raumbedarf für Drähte, für Höckerkontakte oder für Flip-chip-Kontakte entfällt.

Die Erfindung wird nun anhand der beigefügten Figuren näher erläutert.

30

Figur 1 zeigt einen schematischen Querschnitt durch ein Bauteil mit einem Halbleiterchipstapel einer ersten Ausführungsform der Erfindung;

FIN 561 P/200354067

10

Figur 2 zeigt eine schematische Draufsicht auf ein Halbleiterbauteil mit einem Halbleiterchipstapel einer zweiten Ausführungsform der Erfindung;

5

Figur 3 zeigt einen schematischen Querschnitt durch vier aufeinander gestapelte Halbleiterchips zur Herstellung eines Halbleiterbauteils mit einem Halbleiterchipstapel einer dritten Ausführungsform der Erfindung;

10

Figur 4 zeigt den schematischen Querschnitt des Halbleiterchipstapels der Figur 3 nach Umhüllen des Halbleiterchipstapels mit einer Nanopartikel aufweisenden Schicht;

15

Figur 5 zeigt eine Seitenansicht des Halbleiterbauteils der dritten Ausführungsform der Erfindung nach Strukturieren der Nanopartikel aufweisenden Schicht, die in Figur 4 gezeigt wird;

20

Figur 1 zeigt einen schematischen Querschnitt durch ein Halbleiterbauteil 14 mit einem Halbleiterchipstapel (100) einer ersten Ausführungsform der Erfindung. Der Halbleiterchipstapel 100 weist einen unteren Halbleiterchip 1 und einen darauf gestapelten oberen Halbleiterchip 2 auf. Die Halbleiterchips 1, 2 weisen Oberseiten 11, Rückseiten 12 und Randseiten 10 auf. In dieser ersten Ausführungsform der Erfindung ist die Oberseite 11 des unteren Halbleiterchips 1, welche die aktiven Halbleiterelemente einer integrierten Schaltung trägt, mit der Rückseite 12 des oberen Halbleiterchips 2 stoffschlüssig verbunden. Die Oberseiten 11 der Halbleiterchips 1 und 2 weisen Kontaktflächen 5 auf, die sich bis an die Kanten 6 der Oberseiten 11 der Halbleiterchips 1 und 2 erstrecken.

25  
30

FIN 561 P/200354067

11

16

Diese Kanten, die hier die Kontaktflächen 5 aufweisen, werden im folgenden Oberkanten 8 genannt und die Kanten, die sich zwischen den Randseiten 10 und der Rückseite 12 der Halbleiterchips 1 und 2 ausbilden, werden im Folgenden als Unterkanten 9 gekennzeichnet. Der Stapel 100 aus Halbleiterchips 1 und 2 ist von einer Isolationsschicht 16 auf seinen Oberflächen bedeckt und weist im Bereich der Kontaktflächen 5 Fenster 18, sowohl auf den Randseiten 10, als auch auf den Oberseiten 11 auf, sodass auf diese Kontaktflächen an den Kanten 6 zugegriffen werden kann.

Auf dieser Isolationsschicht 16 mit Fenstern 18 zu den Kontaktflächen 5 ist eine strukturierte Schicht 15 aus mit Nanopartikeln gefülltem Kunststofflack aufgebracht, die in dieser Ausführungsform der Erfindung zur Unterseite des Halbleiterstapels 100 Kontaktfenster 19 aufweist, über die auf die elektrisch leitende Schicht 15 aus mit Nanopartikeln gefülltem Kunststofflack zugegriffen werden kann. Auf der strukturierten leitenden Schicht 15 ist eine weitere Isolationsschicht 17 aufgebracht. Auf dieser zweiten Isolationsschicht 17 können, falls es erforderlich ist, weitere leitende Schichten 15 aus mit Nanopartikeln gefülltem Kunststofflack im Wechsel mit Isolationsschichten 16, 17 aufgebracht werden und somit können die Randseiten 10, die Oberseiten 11 und die Rückseiten 12 des Halbleiterchips 1 oder 2 des Halbleiterchipstapels 100 mit einer mehrlagigen Umverdrahtungsstruktur 23 beschichtet sein.

Die elektrisch leitende Schicht 15 ist derart strukturiert, dass sich Leitungsabschnitte 7 bilden, die beispielsweise, wie es in Figur 1 gezeigt wird, eine Außenkontaktfläche 20 auf der Unterseite des Halbleiterchipstapels 100 über die

FIN 561 P/200354067

12

17

Randseiten 10, sowie die Oberseiten 11 mit den Kontaktflächen 5 auf dem ersten und auf dem zweiten Halbleiterchip verbinden können. Diese Leitungsabschnitte entstehen dadurch, dass auf die erste Isolationsschicht 16 ein mit Nanopartikeln gefüllter Kunststofflack aufgebracht wird, der mittels Laserabtrag aufgeheizt wird, wobei die Lackkomponente sich verflüchtigt, während die Nanopartikel zu Leitungsabschnitten 7 verdichtet werden.

10 Derartige Leitungsabschnitte 7 können sich von der Unterseite des Halbleiterchipstapels 100 bis zur Oberseite 11 des Halbleiterchipstapels 100 erstrecken und dabei die Kontaktflächen 5 von beiden Halbleiterchips 1, 2 miteinander verbinden, ohne dass Durchätzungen durch die Halbleiterchips erforderlich werden. Die nicht zu Leitungsabschnitten 7 strukturierten Bereiche des mit Nanopartikeln gefüllten Kunststofflackes können in einem Lösungsbad aufgelöst und entfernt werden. Durch den Laserabtrag wird es möglich, sowohl auf der Unterseite des Halbleiterchipstapels 100, als auch auf den Oberseiten 11 der Halbleiterchips 1 und 2 des Halbleiterchipstapels 100, sowie auf den Randseiten 10 entsprechende Leitungsabschnitte 7 zu realisieren.

25 Die Kontaktfenster 19, auf der Unterseite des Halbleiterchipstapels 100, sind in dieser Ausführungsform mit einer Außenkontaktfläche 20 belegt, die einen Außenkontakt 21, der hier gestrichelt gezeigt ist, tragen können. Zur Verdeutlichung der Erfindung sind die Dimensionen nicht maßstabsgerecht, so kann beispielsweise die Beschichtung der Rückseiten 12, Randseiten 10 und Oberseiten 11 des Halbleiterchipstapels 100 von einem System aus einer Isolationsschicht 16, einer Leitungsschicht 15 und einer weiteren Isolationsschicht 17 eine Dicke d aufweisen, die nur wenige Mikrometer beträgt.

FIN 561 P/200354067

13

18

Die Halbleiterchips weisen eine Dicke  $D$  auf, die zwischen  $50\text{ }\mu\text{m}$  und  $700\text{ }\mu\text{m}$  liegen kann. Die stoffschlüssige Verbindungsschicht 22 kann einen Klebstoff oder ein Lötmaterial aufweisen in einer Dicke  $w$ , die ebenfalls nur wenige Mikrometer beträgt. Gegenüber diesen Dickenmaßen sind die Flächenmaße der Halbleiterchips wesentlich größer und können Dimensionen im Zentimeterbereich aufweisen. Die Kontaktflächen 5 auf den aktiven Oberseiten 11 der Halbleiterchips 1 und 2 sind hingegen ebenfalls nur mehrere  $10\text{ }\mu\text{m}$  groß und können aufgrund der erfindungsgemäßen Leitungsabschnitte 7 aus nanogefülltem Kunststofflack weiterhin auf wenige Mikrometer im Quadrat verkleinert werden, womit eine hohe Dichte bei geringem Rastermaß bzw. geringer Schrittweite zwischen den Kontaktflächen 5 erreichbar ist.

Figur 2 zeigt eine schematische Draufsicht auf ein Halbleiterbauteil 24 mit einem Halbleiterchipstapel 200 einer zweiten Ausführungsform der Erfindung. Diese Draufsicht zeigt drei aufeinander gestapelte Halbleiterchips 1, 2 und 3. Dabei nimmt die Größe der Oberseiten 11 der Halbleiterchips 1 bis 3 von 1 nach 3 ab, sodass das oberste Halbleiterchip 3 die kleinste Fläche aufweist und das unterste Halbleiterchip 1 die größte Fläche besitzt. Diese nach unten hin zunehmende Größe der Halbleiterchips 1 bis 3 wurde in dieser Ausführungsform gewählt, um mithilfe der Draufsicht die Umverdrahtungsstruktur 23 eines derartigen Halbleiterchipstapels 200 zu zeigen. Dabei verlaufen die Leitungsabschnitte 7 teilweise auf den Oberseiten 11 der Halbleiterchips und teilweise auf den Randseiten 10 der Halbleiterchips.

Die Kontaktflächen 5 reichen wiederum bei jedem der Halbleiterchips 1 bis 3 bis an die Kanten 6 heran, womit eine drei-



FIN 561 P/200354067

14

19

dimensionale Verdrahtung möglich wird. Die Abnahme der Größe der Oberseiten 11 der Halbleiterchips 1 bis 3 von dem untersten Halbleiterchip 1 bis zum obersten Halbleiterchip 3 ist bei der erfindungsgemäßen Umverdrahtungsstruktur 23 nicht zwingend erforderlich, da mithilfe beispielsweise des Laserabtragsverfahrens auch die Rückseiten, - wie es bereits die Figur 1 mit der Rückseite 12 des Halbleiterchips 1 zeigt -, der Halbleiterchips mit Leitungsabschnitten 7 versehen sein können. Das bedeutet, dass die Halbleiterchips 1 bis 3 im Prinzip eine beliebige Größe bei der Reihenfolge der Stapelung bei dieser neuen Verdrahtungstechnik aufweisen können, wie es in den nachfolgenden Figuren gezeigt wird.

Die Figuren 3 bis 5 zeigen Stufen der Herstellung eines Halbleiterbauteils mit einem Halbleiterchipstapel einer dritten Ausführungsform der Erfindung.

Figur 3 zeigt dazu einen schematischen Querschnitt durch vier aufeinander gestapelte Halbleiterchips 1 bis 4 zur Herstellung eines Halbleiterbauteils 34 mit einem Halbleiterstapel 300 dieser dritten Ausführungsform der Erfindung. Von den vier aufeinander gestapelten Halbleiterchips 1 bis 4 weist der unterste Halbleiterchip 1 die größte aktive Oberseite 11 auf. Der auf dem Halbleiterchip 1 mit seiner Rückseite 12 gestapelte Halbleiterchip 2 weist eine demgegenüber kleinere aktive Oberseite 11 auf, sodass der dritte Halbleiterchip 3 über die Randseiten 10 des zweiten Halbleiterchips 2 hinausragt. Auf dem dritten Halbleiterchip 3 ist wiederum ein Halbleiterchip 4 mit einer kleineren aktiven Oberseite 11 angeordnet.

Die Halbleiterchips 1, 2, 3 und 4 sind stoffschlüssig mittels eines Klebstoffs über die Verbindungsschichten 22 verbunden.

FIN 561 P/200354067

15

20

Während die Kontaktflächen 5 der aktiven Oberseiten 11 der Halbleiterchips 1, 3 und 4 frei zugänglich sind, ist von den Kontaktflächen 5 des Halbleiterchips 2 die Oberseite 11 bedeckt, jedoch aufgrund der erfindungsgemäßen Heranführung der Kontaktflächen 5 an die Randseiten 10 des Halbleiterchips 2 sind die Randseiten 10 der Kontaktflächen 5 auch vom Halbleiterchip 2 kontaktierbar.

Ein derartig vorbereiteter Halbleiterchipstapel 300 kann nun mit einer elektrisch leitenden Schicht belegt werden.

Figur 4 zeigt einen schematischen Querschnitt eines Halbleiterchipstapels 300, der in Figur 3 gezeigt wird, nach Umhüllen des Halbleiterchipstapels 300 mit einer Nanopartikel aufweisenden Schicht 15. Diese Nanopartikel aufweisende Schicht 15 wird auf sämtliche Außenseiten des Halbleiterchipsstapels 300 aufgesprüht, indem ein Kunststofflack, der mit elektrisch leitenden Nanopartikeln gefüllt ist, aufgespritzt wird, oder indem der Halbleiterchipstapel in ein Bad mit einem Kunststofflack, der gefüllte Nanopartikel aufweist, eintaucht. Nach dem Trocknen des Lackes unter Vorhärten des Lackes kann dann diese Nanopartikel aufweisende Schicht 15 strukturiert werden.

Figur 5 zeigt eine Seitenansicht des Halbleiterbauteils 34 nach Strukturieren der Nanopartikel aufweisenden Schicht 15 gemäß Figur 4. Das Strukturieren des Halbleiterchipstapels 300 zu einem Halbleiterbauteil 34 wurde in der dritten Ausführungsform der Erfindung dadurch erreicht, dass ein Laserstrahl entlang der Spuren geführt wurde, die in Figur 5 schwarz gekennzeichnet sind. Dabei werden die Nanopartikel miteinander kontaktiert bis hin zum Verschweißen, während der Kunststofflack gleichzeitig verdampft. Dabei entstehen, wie

FIN 561 P/200354067

16

in der Seitenansicht der Figur 5 gezeigt, Leiterbahnen 25 bis 33, die in unterschiedlicher Leiterbahnführung die unterschiedlichen Kontaktflächen 5 der Halbleiterchips 1 bis 4 untereinander bzw. miteinander verbinden. Die Kontaktflächen 5 des zweiten Halbleiterchips 2 des Halbleiterchipstapels 300 werden bei der Strukturierung auf ihren Rändseiten 10 kontaktiert, zumal der Halbleiterchip 2, wie in Figur 4 gezeigt ist, kleiner ist als der darüber angeordnete Halbleiterchip 3. Damit ist die erfindungsgemäße Umverdrahtungstechnik in der Lage auch elektrische Verbindungen zu Kontaktflächen 5 zu schaffen, von denen nur ihr Querschnitt für den elektrischen Anschluss an eine Leiterbahn 7 zur Verfügung steht. Die Leiterbahnen 7 auf der Rückseite 12 des Halbleiterchips 3 werden bei dieser Stapelung der Halbleiterchips 1 bis 4 mit einer Umlenkoptik für einen Laser realisiert.

Es lassen sich mit dieser Technik die unterschiedlichsten Strukturen verwirklichen, wie es mit den hier gezeigten unterschiedlichen Leiterbahnen 25 bis 33 gezeigt wird. So können sich die Leiterbahnen verzweigen, wie es mit den Leiterbahnen 25, 26 und 27 gezeigt wird, oder sie werden zusammengeführt, wie es die Leiterbahnen 28, 30 und 31 zeigen. Oder sie dienen lediglich dazu, zwischen mehreren Halbleiterchips 1 bis 4 eine Verbindung herzustellen, wie es beispielsweise die Leiterbahnen 29, 32 und 33 dieser Seitenansicht zeigen. Ein derartiges einfaches Verdrahtungsmuster, das mit relativ preiswerten Fertigungsverfahren herstellbar ist, ist nur dadurch möglich, dass einerseits ein Nanopartikel aufweisender Kunststofflack eingesetzt wird und andererseits die Kontaktflächen der einzelnen Halbleiterchips 1 bis 4 bis an die Kanten des jeweiligen Halbleiterchips 1 bis 4 heran geführt werden.

## Bezugszeichenliste

	100, 200, 300	Stapel von Halbleiterchips
	1	Halbleiterchip
5	2	Halbleiterchip
	3	Halbleiterchip
	4	Halbleiterchip
	5	Kontaktfläche
	6	Kante eines Halbleiterchips
10	7	Leistungsabschnitt
	8	Oberkante eines Halbleiterchips
	9	Unterkante eines Halbleiterchips
	10	Randseite eines Halbleiterchips
	11	Oberseite eines Halbleiterchips
15	12	Rückseite eines Halbleiterchips
	14	Halbleiterbauteil
	15	Schicht aus mit Nanopartikeln gefülltem Kunststofflack
	16	Isolationsschicht
20	17	Isolationsschicht
	18	Fenster
	19	Kontaktfenster
	20	Außenkontaktfläche
	21	Außenkontakt
25	22	Verbindungsschicht
	23	Umverdrahtungsstruktur
	24	Halbleiterbauteil
	25	Leiterbahn
	26	Leiterbahn
30	27	Leiterbahn
	28	Leiterbahn
	29	Leiterbahn
	30	Leiterbahn

FIN 561 P/200354067

2

23

31 Leiterbahn  
32 Leiterbahn  
33 Leiterbahn  
34 Halbleiterbauteil

5

d Dicke der Umverdrahtungsschicht  
D Dicke der Halbleiterchips  
w Dicke der Verbindungsschicht

## Patentansprüche

1. Halbleiterbauteil mit einem Stapel (100) aus Halbleiterchips (1, 2), wobei die Halbleiterchips (1, 2) des Halbleiterchipstapels (100) stoffschlüssig aufeinander fixiert angeordnet sind, und wobei die Halbleiterchips (1, 2) Kontaktflächen (5) aufweisen, die sich bis an die Kanten (6) der Halbleiterchips (1, 2) erstrecken und wobei sich Leitungsabschnitte (7) von mindestens einer Oberkante (8) zu einer Unterkanten (9) der Randseiten (10) der Halbleiterchips (1, 2) erstrecken und die Kontaktflächen (5) der Halbleiterchips (1, 2) des Halbleiterchipstapels (100) elektrisch verbinden.
2. Halbleiterbauteil nach Anspruch 1, dadurch gekennzeichnet, dass die Halbleiterchips (1, 2) unterschiedliche Chipgrößen aufweisen.
3. Halbleiterbauteil nach Anspruch 1 oder Anspruch 2, dadurch gekennzeichnet, dass die Halbleiterchips (1, 2) eine unterschiedliche Anzahl von Kontaktflächen (5) an ihren Kanten (6) aufweisen.
4. Halbleiterbauteil nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die elektrisch leitenden Leitungsabschnitte (7) auf den Halbleiterchipkanten (6), den Halbleiterrandseiten (10), der Halbleiteroberseite (11) und/oder der Halbleiterrückseite (12) mit frei wählbarer Reihenfolge der Stapelung haftend angeordnet sind.

5. Halbleiterbauteil nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet, dass  
die Leitungsabschnitte (7) einen anhaftenden Kunststoff-  
lack aufweisen, der mit metallischen Nanopartikeln ge-  
füllt ist und elektrisch leitet.
6. Halbleiterbauteil nach Anspruch 4 oder Anspruch 5,  
dadurch gekennzeichnet, dass  
der mit Nanopartikeln gefüllte Kunststofflack in einem  
Lösungsmittel löslich ist.
7. Halbleiterbauteil nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet, dass  
der mit Nanopartikeln gefüllte Kunststofflack mittels  
Laserabtrag strukturierbar ist.
8. Halbleiterbauteil nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet, dass  
der mit Nanopartikeln gefüllte Kunststofflack photoli-  
thographisch strukturierbar ist.
9. Halbleiterbauteil nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet, dass  
der Halbleiterchipstapel (100) eine mehrlagige Um-  
verdrahtungsschicht, aus mit Nanopartikeln gefüllten e-  
lektrisch leitenden strukturierten Kunststofflackschich-  
ten (15) und dazwischen angeordneten Isolationsschichten  
(16, 17) auf den Randseiten (10) der Halbleiterchips (1,  
2) aufweist.

FIN 561 P/200354067

19

26

10. Verfahren zur Herstellung eines Halbleiterbauteil mit einem Stapel (100) aus Halbleiterchips (1, 2), wobei das Verfahren folgende Verfahrensschritte aufweist:
- 5        - Herstellen von Halbleiterchips (1, 2) mit Kontaktflächen (5), die sich bis an die Kanten (6) des Halbleiterchips (1, 2) erstrecken,
  - stoffschlüssiges Fixieren der Halbleiterchips (1, 2) übereinander zu einem Halbleiterstapel (100)
  - 10       - Umhüllen des Halbleiterstapels (100) mit einer Schicht (15) aus mit einem mit Nanopartikeln gefüllten Kunststofflack,
  - Strukturieren der Schicht (15) zu Leiterbahnabschnitten (7) zwischen den Kontaktflächen (15) der
  - 15       aufeinander gestapelten Halbleiterchips (1, 2).
11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass die Schicht (15) aus Kunststofflack zum Umhüllen des
- 20 Halbleiterstapels (100) aufgesprüht wird.
12. Verfahren nach Anspruch 10 oder Anspruch 11, dadurch gekennzeichnet, dass
- 25 der Halbleiterstapel (100) zum Umhüllen mit einer Schicht (15) aus Kunststofflack in ein Bad aus mit Nanopartikeln gefülltem Kunststofflack eingetaucht wird.
13. Verfahren nach einem der Ansprüche 10 bis 12, dadurch gekennzeichnet, dass
- 30 zum Strukturieren des mit Nanopartikeln gefüllten Kunststofflack zu Leiterbahnabschnitten (7) ein Laserabtragsverfahren erfolgt.



FIN 561 P/200354067

20

27

14. Verfahren nach einem der Ansprüche 10 bis 12,  
dadurch gekennzeichnet, dass  
zum Strukturieren der mit Nanopartikeln gefüllten  
5 Schicht (15) aus Kunststofflack zu Leiterbahnabschnitten  
(7) ein Photolithographieverfahren durchgeführt wird.
15. Verfahren nach einem der Ansprüche 10 bis 12,  
dadurch gekennzeichnet, dass  
10 die Leiterbahnabschnitte (7) auf den Halbleiterstapel  
(100) selektiv mittels Präzisionsspritztechniken auf-  
gebracht werden.
16. Verfahren nach einem der Ansprüche 10 bis 15,  
dadurch gekennzeichnet, dass  
15 mehrlagige Leiterbahnabschnitte (7) im Wechsel mit Iso-  
lationsschichten (16, 17) auf den Halbleiterstapel (100)  
aufgebracht werden.

FIN 561 P/200354067

21

## Zusammenfassung

Halbleiterbauteil mit einem Stapel aus Halbleiterchips und  
Verfahren zur Herstellung desselben

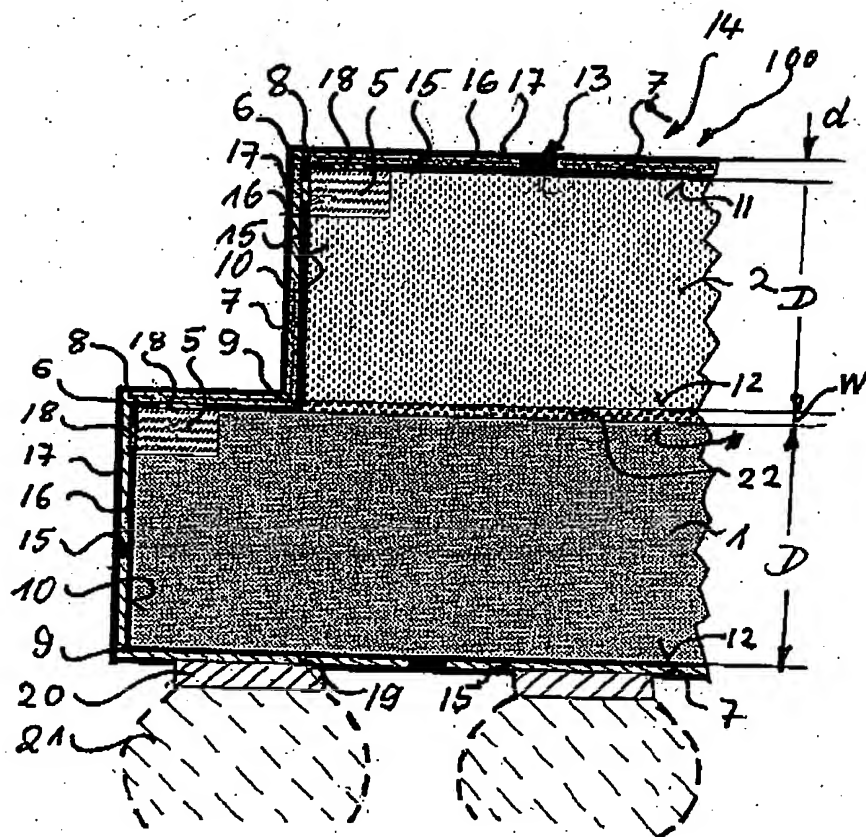
5

Die Erfindung betrifft ein Halbleiterbauteil (14) mit einem  
Stapel (100) aus Halbleiterchips (1, 2), wobei die Halblei-  
terchips (1, 2) stoffschlüssig aufeinander fixiert sind. Die  
Kontaktflächen (5) der Halbleiterchips (1, 2) sind bis an die  
10 Kanten (6) der Halbleiterchips (1, 2) herangeführt und Lei-  
tungsabschnitte (7) erstrecken sich mindestens von einer O-  
berkante (8) zu einer Unterkante (9) der Randseiten (10) der  
Halbleiterchips (1, 2), um die Kontaktfläche (5) der gesta-  
pelten Halbleiterchips (1, 2) miteinander elektrisch zu ver-  
15 binden.

[Figur 1]

5

FIG 1



28

FIG 1

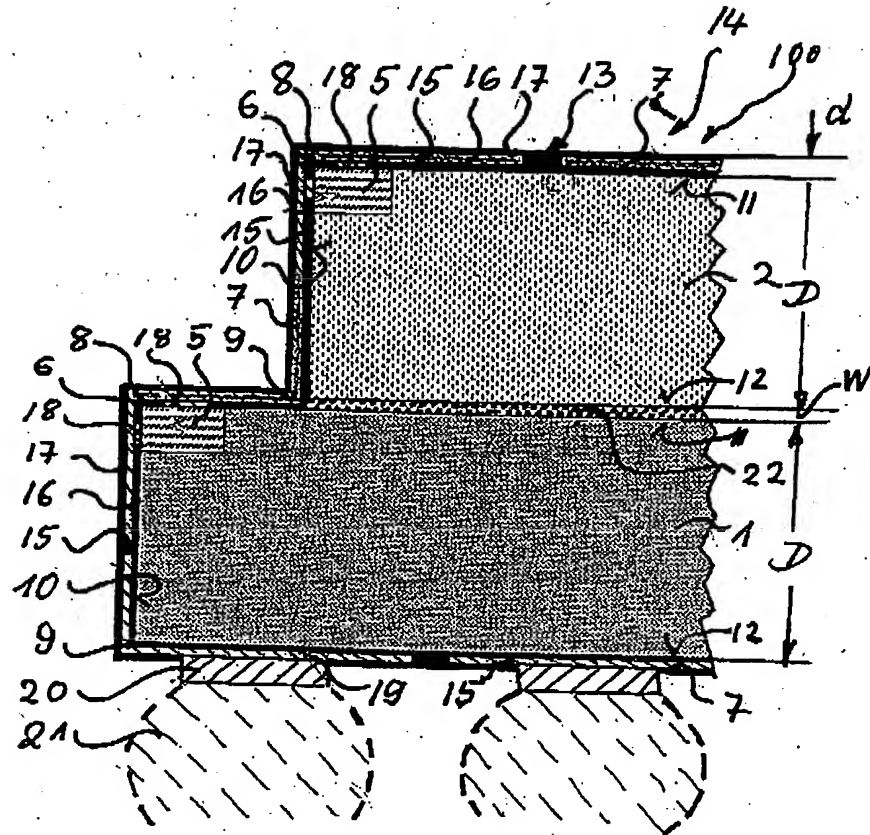


FIG 2

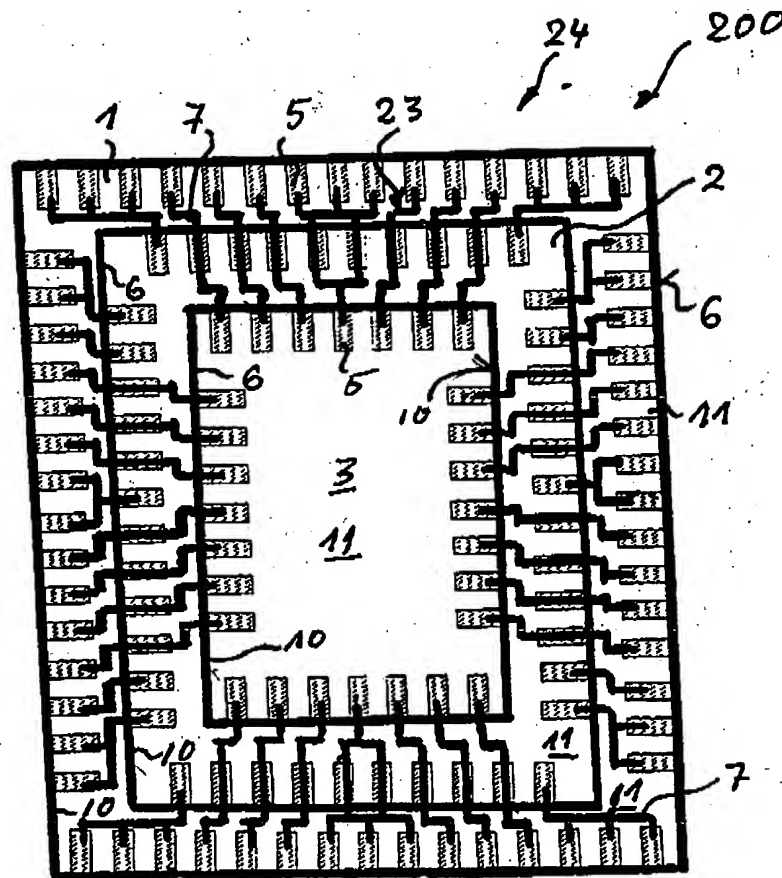


FIG 3

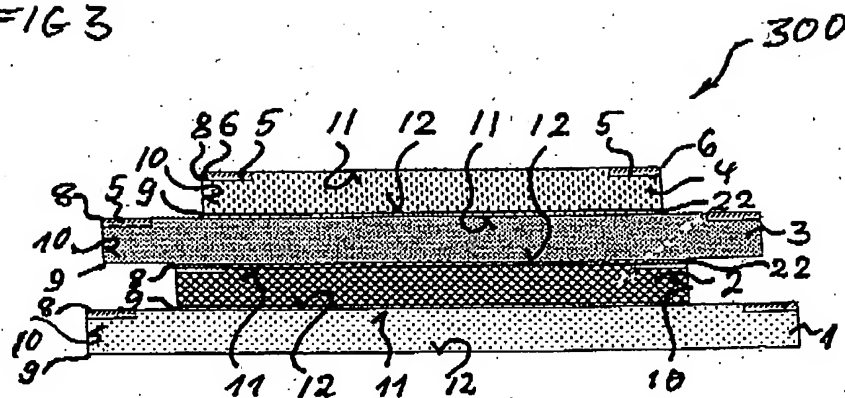


FIG 4

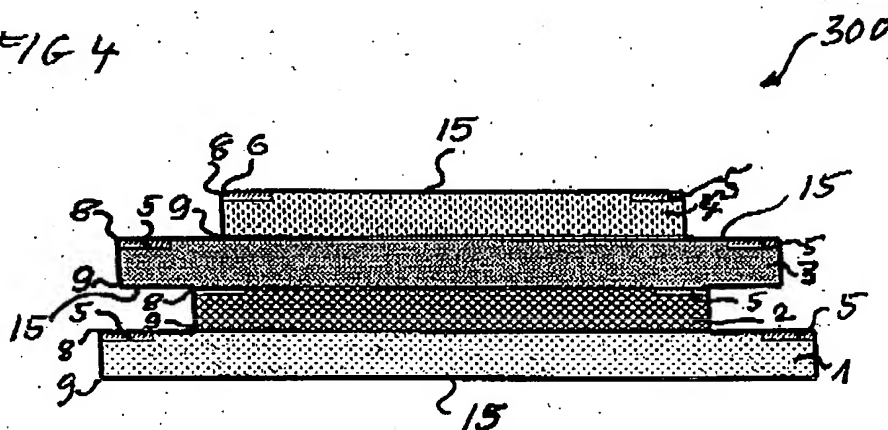


FIG 5

